



スピントロニクス不揮発性ロジック向け高性能パッケージに関する研究

著者	苅谷 隆
号	59
学位授与機関	Tohoku University
学位授与番号	工博第5009号
URL	http://hdl.handle.net/10097/62736

氏 名	かり や たかし
授 与 学 位	名 苺 谷 隆
学 位 授 与 年 月 日	博士 (工学)
学位授与の根拠法規	平成26年9月24日
研究科, 専攻の名称	学位規則第4条第1項
学 位 論 文 題 目	東北大学大学院工学研究科 (博士課程) 電子工学専攻
	スピントロニクス不揮発性ロジック向け
	高性能パッケージに関する研究
指 導 教 員	東北大学教授 遠藤 哲郎
論 文 審 査 委 員	主査 東北大学教授 大野 英男
	東北大学教授 羽生 貴弘

論 文 内 容 要 旨

本論文は、キャパシタ内蔵による電源インピーダンスの低いパッケージ基板を提案し、提案回路技術のスピントロニクス不揮発ロジック構成に適用される Fine-grained Power Gating (PG) システムにおけるチップ内電源ノイズ低減への優位性を明らかにしたもので、全6章より成る。

第1章は、序論であり、本研究の背景及び目的を述べている。今日の情報通信ネットワーク社会の背景には、データサーバー、ストレージ、ルーターなどのネットワーク機器と、パーソナルコンピューター、タブレットPC、スマートフォンといった電子端末機器の進歩があり、今後もその進歩はますます加速される傾向がある。電子機器の進歩にはシステムの中核を成すプロセッサやメインメモリなどのLSIの進化が不可欠である。また、これらLSIの進化には、LSIの機能を最大限に引き出し、電子機器内部に高密度に実装するLSIパッケージングやボード実装技術も大きく貢献してきた。パッケージ基板としては、LSI外部端子数の増大にともなう高密度配線形成技術、伝送速度の増大にともなう低伝送ロス配線設計とそれを構成する材料技術、LSI内部のトランジスタ増大に伴う同時スイッチングノイズの抑制を目的とした電源インピーダンスを低減する電源設計とそれを構成する材料技術などが大きく進歩している。LSIとの接続手法としては従来からのワイヤーボンディング接続から、LSI外部端子とパッケージ基板の接続端子を直接接続させるフリップチップ接続へ切り替わっており、接続部のインピーダンスは大幅に低減されている。図1に示すように近年のパッケージは以下4点の主な課題に直面している。①密度Upするのに、微細化とともに銅体積比率減少し熱抵抗が上昇する。②流れる信号は高周波になるのに、微細化とともにインピーダンスが上昇する。③動作電圧が低下して許されるノイズ振幅も小さくなるのに、微細化とともにインピーダンスは上昇する。④機能は向上するのに価格はDownする。更に、最近ではモバイル機器の進歩がめざましく、軽薄短小化要求を満たす薄型基板とその実装技術などますますパッケージング技術の重要性は高まってくる。

本研究では電源インピーダンスを低減するために研究が進むキャパシタ内蔵パッケージに着目し、現在市場に出始めているMLCCの内蔵に加え最先端のTFCをパッケージに内蔵した場合の電源インピーダンスと電源ノイズの低減効果を明確化することにより、今後高機能化するLSIに対して、キャパシタ内蔵パッケージ基板の実用化を促進することを目的とした。

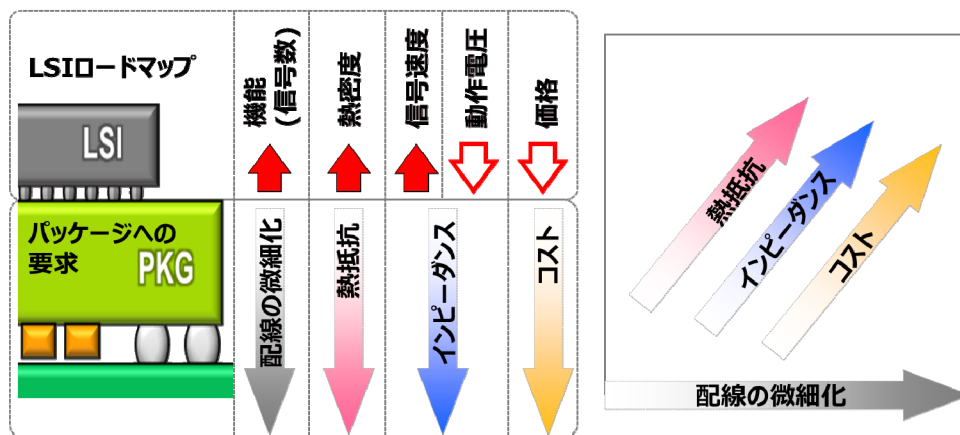


図1. パッケージへの要求と解決すべき課題

第2章は、薄膜キャパシタ(TFC)内蔵パッケージ構造とその製造プロセスを検討し、新しいプロセスを提案している。LSIの高速で安定な動作のためには、LSIとパッケージ基板に搭載されるキャパシタの間のPDNインピーダンスの低減が必要である。そこで究極にインピーダンスを低減できる構造としてパッケージ基板のビルドアップ層にTFCを内蔵する技術を提案し研究開発を行った。TFCの誘電膜にはパッケージとして保証すべき温度領域(−25℃～125℃)で比誘電率が安定的に高く、環境にやさしいBaSrTiO₃を選択し、その0.6 μmの薄膜をNiとCuの電極箔で挟んだ構造でTFCが構成されている。製造プロセスの研究開発の結果、最大のプロセス課題は膜厚1 μm以下のTFC欠陥による電氣的なショートであり、従来の化学薬品を用いた一般的なパッケージ基板回路形成プロセスでは当該薄膜が破壊し、回路のショートが発生する課題を解決できないことを明らかにした。原因はTFCを貫通して下層導体と接続するビア周囲の層間絶縁樹脂が、ビア加工後の樹脂残渣を除去する目的で行うKMnO₄によってダメージを受け、配線のシードメタル層を形成する目的で行うアルカリ性の無電解銅めっき液が侵入し銅が析出したことでショートしたことを明確にした。この検討結果に基づき、ドライプロセスの適用を検討し、ビア加工後の樹脂残渣除去をプラズマエッチング法に、シードメタル層形成をスパッタリング法に変更したところ、TFCを貫通するビア周辺に銅の侵入は確認されず、TFC接続部分でのショートを回避できることを明らかにした。このプロセス条件の最適化によりパッケージ全体で2cm²以上のTFCを薄膜欠陥のない状態でビルドアップ層に内蔵し、3.0 μFのキャパシタンスを確保することに成功した。これにより電源インピーダンスの低減を可能にする新しいパッケージ構造として成立することを実証した。

第3章は、第2章で構造を実証したTFC内蔵パッケージを適用した場合の電源インピーダンスの低減効果を、従来構造であるMLCCを基板裏面に搭載した構造とMLCCを内蔵した構造と、シミュレーションを用いて比較検討し、最適な基板設計を提案している。従来構造であるMLCCの内蔵では、LSIとMLCCとの距離短縮のために開発された市場にある最新の低電源インピーダンス構造であるが、内蔵位置がパッケージのコア基板内であり、LSIとの距離短縮に限界があるため、100MHz以上の周波数領域での電源インピーダンスのピーク値の低減は困難であることと、MLCCの内蔵により電源パスであるTHを減少させることとなりDC抵抗成分が増加し低周波数領域での電源インピーダンスも増加することが課題である。そこで、LSIとキャパシタとの距離を更に短縮でき、内蔵により電源パスであるTHを減少させることのないTFCを内蔵したパッケージ基板を提案し、設計検討を行った。TFCのインピーダンスを最小化する

ためには、TFC の容量を最大化し、かつインダクタンスを最小化することが必要である。TFC の電極と接続するビアの配置の最適化設計検討を行った結果、ビア間のピッチを $420\ \mu\text{m}$ にした場合に電源インピーダンスが最小化できることを明らかにした。本提案の最適化された TFC 内蔵構造は電源インピーダンスの最大ピーク値を従来構造である MLCC 裏面搭載構造の 27% に改善できることを定量的に示した。

第 4 章は、スピントロニクス不揮発ロジックに適用される Fine-grained PG システムに特有な幅 1-2ns のチップ内電源ノイズの低減を検討し、Multi-Layer Ceramic Capacitor (MLCC) 内蔵パッケージ基板の適用効果を提案している。本研究で対象としている不揮発性メモリを用いるパワーゲーティング・システムは、論理回路のレジスタに MTJ-Register を用いる、いわゆる CMOS 技術と MTJ 技術を混載した不揮発ロジック構成であるので、従来のパワーゲーティングで必要であったデータ退避復帰の機能が不要となる。さらに、その結果より小さなグレインでのパワーゲーティング、即ち Fine-grained PG が可能となる。したがって、電源の復帰時間を 1-2ns 程度に短縮でき、図 2 に示すように、従来に比べ格段にきめ細かな消費電力削減が可能となる。

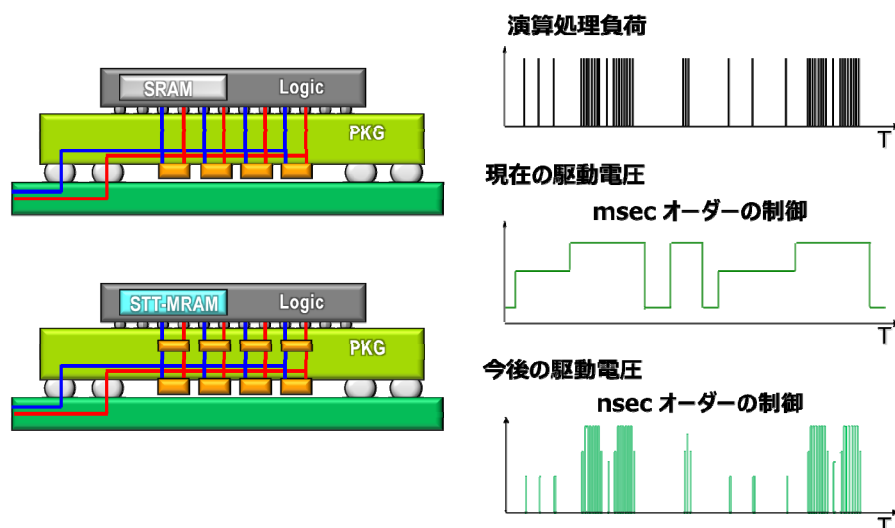


図 2. 不揮発性ロジックを用いた Fine Grained Power Gating に求められるパッケージ機能と構造

上記短時間の電源復帰にあたっては、MTJ-Register からレジスタへのデータリストアおよび後段ロジックの初期値設定時に発生する 1~2ns 程度の急峻かつ大きな電源ノイズが、電源品質上の課題となる。上記電源ノイズをエミュレートでき、かつ電源ノイズを観測できるテストチップを用いて 4 種類のパッケージ（MLCC 無し、MLCC 裏面搭載、MLCC 内蔵、MLCC 裏面搭載+内蔵）に実装した際の電源ノイズを比較した。その結果、基板に MLCC を裏面搭載することで、MLCC 無しに対して電源ノイズ電圧振幅を平均値で 40% 以下に改善できることを定量的に示した。また、MLCC を内蔵した場合は MLCC 裏面搭載した場合より更に電源ノイズ電圧振幅を 20% 以上低減できることを明らかにした。一方で MLCC を内蔵+裏面搭載した場合は、MLCC 内蔵した場合から更なる電源ノイズ電圧振幅の低減は確認されなかった。またすべての試験でのノイズのパルス幅は 1-2ns であり、Fine-grained PG システムにおけるノイズに近い短パルスが得られていることを確認した。これらの結果から、電源ノイズの低減には LSI とキャパシタの距離を短くすることが有効であることを明確にした。

第5章は、第4章とおなじくスピントロニクス不揮発ロジック特有な電源ノイズの低減をシミュレーションを用いて検討し、TFC内蔵パッケージ基板の適用効果を提案している。上記電源ノイズ発生をエミュレートできるチップモデルを用いて、TFC内蔵によるチップ内部の電源ノイズ挙動をシミュレーションにより検討し、従来のMLCC内蔵パッケージに対する電源ノイズの電圧振幅低減効果を検討した。待機電力ゼロシステムにおける電源復帰時の電源ノイズをエミュレートするため、チップモデルに立ち上がり時間=1nsのノイズ信号を与え、この信号と同期して発生する電源ノイズ電圧波形を観測する。TFC、MLCCのRLモデルは、Sパラメータを測定して導出し、基板のRLCモデルは、今後の試作に向けレイアウト設計したTFC内蔵パッケージ基板のデザインから抽出した。従来のパッケージのコア基板内にMLCCを内蔵したパッケージ構造に対し、同じコア基板に自己インダクタンスが比較的低いTFCを内蔵した構造を用いた場合の電源ノイズ電圧振幅を比較し、キャパシタの自己インダクタンスと電源ノイズ電圧振幅との関係を明確にした。また、TFCの内蔵位置をチップに最も近い最上層（第1層）から、第4層まで遠ざけた場合の電源ノイズ電圧振幅を比較し、LSIからTFCまでの距離と電源ノイズ電圧振幅との関係を明確にした。これらの検討結果より、構造を最適化したTFC内蔵パッケージを適用することで、従来構造であるMLCC内蔵構造に対するFine-grained PGシステムにおける電源ノイズ電圧振幅の低減効果を明確にした。すなわち、構造を最適化したTFC内蔵パッケージは、Fine-grained PGを備えるスピントロニクス素子(MTJベース)の不揮発性ロジックの電源品質を向上させるうえで有効であることを明らかにした。また、TFC内蔵数と電源ノイズ低減効果、TFCの自己インダクタンスと電源ノイズ電圧振幅低減効果の関係を明らかにした。今後さらなる設計の最適化、TFC性能の向上によるノイズ電源電圧振幅の低減の可能性を示した。

第6章は、キャパシタ内蔵パッケージ基板の工業応用の観点から、パワーゲーティングの速度に応じて、必要となるパッケージ基板構造を検討した。第4章と5章では、MLCCやTFCを内蔵したパッケージの電源品質向上効果を論じ、特にチップの最も近傍に配置できるTFC内蔵パッケージ構造では、スピントロニクス不揮発ロジック特有の1-2ns程度のノイズ発生を低減するのに適することを確認した。一方、第2章では、TFC内蔵パッケージ基板プロセスにはウェファープロセスで用いられる高価なドライプロセスが必要であり、TFCの保証コストも必要であることを明らかにした。これらの結果より、電源品質を高めるためのキャパシタ内蔵の普及を促進するためには、パワーゲーティングの速度に応じて、安価なMLCC内蔵と高機能なTFC内蔵パッケージを使い分ける必要がある。

TFC内蔵パッケージがMLCC内蔵パッケージに対して、有効となる電源の復帰時間帯を把握するため、電源の復帰時間と両構造の電源ノイズを検証した結果、以下の2点を明らかにした。①TFC内蔵パッケージが待機電力ゼロシステムが目指す、電源復帰時間=1-2ns以下に対し有効である。②復帰時間=10ns以上では、顕著な差はないため、これより低速なパワーゲーティングではTFC内蔵より安価なMLCC内蔵構造が適する。

本論文は、従来のパッケージ基板を用いた場合のFine-grained PGシステム電源ノイズの課題を解決するパッケージ構造を提案し、提案したパッケージ基板技術の有効性を明らかにすると共に、本開発のキャパシタ内蔵基板と周辺回路技術によってFine-grained PGシステムの性能向上が実現できることを示したものであり、電子工学、半導体工学の発展に寄与するところが少なくない。本研究成果を生かし、より大規模なMTJ-Registerを有するチップと、最適化したTFC内蔵パッケージを作成し、本研究でシミュレーションによって確認された電源品質の改善効果を実証していきたい。

論文審査結果の要旨

本論文は、キャパシタ内蔵による電源インピーダンスの低いパッケージ基板を提案し、提案回路技術のスビントロニクス不揮発ロジック構成に適用される Fine-grained Power Gating (PG)システムにおけるチップ内電源ノイズ低減への優位性を明らかにしたもので、全6章より成る。

第1章は、序論であり、本研究の背景及び目的を述べている。

第2章は、薄膜キャパシタ (TFC) 内蔵パッケージ構造とその製造プロセスを検討し、新しいプロセスを提案している。TFCの誘電膜は1 μm 以下の無機膜であるため、化学薬品を用いた一般的なパッケージ基板回路形成プロセスでは当該薄膜が破壊する問題を解決できないことを明らかにした。この検討結果に基づき、ドライプロセスを適用したプロセスを考案した。そして薄膜欠陥のない TFC 内蔵パッケージ基板の製造に成功し、電源インピーダンスの低減を可能にする新しいパッケージ構造として成立することを実証した。

第3章は、TFC 内蔵パッケージ適用による電源インピーダンスの低減効果を検討し、最適な基板設計を提案している。従来構造では、LSI とキャパシタとの距離短縮に限界があるため電源インピーダンスの最大ピーク値の低減は困難であることを明らかにした。この検討結果に基づき、LSI とキャパシタとの距離を更に短縮できる TFC を内蔵したパッケージ基板の試作に成功した。そして本提案の TFC 内蔵構造は電源インピーダンスの最大ピーク値を従来構造の27%に改善できることを定量的に示した。

第4章は、スビントロニクス不揮発ロジックに適用される Fine-grained PG システムに特有な幅1~2nsのチップ内電源ノイズの低減を検討し、Multi-Layer Ceramic Capacitor (MLCC)内蔵パッケージ基板の適用効果を提案している。上記電源ノイズをエミュレートでき、かつ電源ノイズを観測できるテストチップを用いて MLCC 搭載方法の異なる各種パッケージに実装した際の電源ノイズを比較したところ、MLCC がチップ近傍に実装されていないと電源ノイズの課題は解決できないことを明らかにした。この検討結果に基づき、MLCC を内蔵したパッケージ基板の設計指針を提案し、その効果を確認した。そして MLCC 無しの場合と比較して、電源ノイズ電圧振幅を平均値で50%以下に改善できることを定量的に示した。

第5章は、第4章とおなじくスビントロニクス不揮発ロジック特有の電源ノイズの低減を検討し、TFC 内蔵パッケージ基板の適用効果を提案している。上記電源ノイズをエミュレートすることで、各種パッケージ構造の電源ノイズを比較したところ MLCC 内蔵構造ではチップ内の電源ノイズの課題は解決できないことを明らかにした。この検討結果に基づき、TFC を内蔵したパッケージ基板の効果を確認した。そして MLCC 内蔵パッケージに対し、構造を最適化した TFC 内蔵パッケージを適用することで、電源ノイズ電圧振幅を45%以下に改善できることを定量的に示した。

第6章は、結論であり、キャパシタ内蔵パッケージ基板の工業応用の観点から、パワーゲーティングの速度に応じて、必要となるパッケージ基板構造を検討した。その結果、電源復帰時間が10 ns 以上では従来の MLCC 内蔵パッケージ基板が、10 ns 以下では TFC 内蔵パッケージ基板が有用であることを明らかにした。

以上要するに本論文は、従来のパッケージ基板を用いた場合の Fine-grained PG システム電源ノイズの課題を解決するパッケージ構造を提案し、提案したパッケージ基板技術の有効性を明らかにすると共に、本開発のキャパシタ内蔵基板と周辺回路技術によって Fine-grained PG システムの性能向上が実現できることを示したものであり、電子工学、半導体工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。